

i -GaAlAs/GaAs 异质结绝缘栅场效应 晶体管的静态特性研究*

王德宁 顾 聪 王渭源

(中国科学院上海冶金研究所,上海)

摘要 本文在改进型电荷控制模型基础上,引进 GSW 速度场方程,推导出异质结绝缘栅场效应晶体管 (HIGFETs) 的 I_D - V_D - V_G , I_{DS} - V_G , G_m , 和 C_G 等一系列静态特性方程. 计算结果与文献实测值进行了比较,在 $V_G < 2V$, $I_D < I_{DS}$ 时两者符合得甚好. 本文讨论了温度对 V_{th} 的影响;器件的结构参数:栅长 L 、栅宽 W , 源电阻 R_S , GaAlAs 厚度 d , GaAs 迁移率和温度对 G_m 的影响. 并指出了提高 HIGFETs 性能的可能途径.

关键词 异质结绝缘栅场效应晶体管;低场特性;结构参数;静态特性

一、引 言

近年来 GaAlAs/GaAs MODFETs 器件发展十分迅速,已逐渐商品化,这对发展 GaAs 数字集成电路和微波器件起了很大的促进作用. 但由于不可避免地存在着 DX 中心,伏安特性崩溃 (collapse) (低温下) 和开启电压 V_{th} 随时间而变化的缺点限制了它的性能提高和进一步扩大应用. 为此有人^[1-4]提出 i -GaAlAs/GaAs 异质结绝缘栅场效应晶体管 (HIGFETs) 的新结构. 有源区采用高纯度 n^- 或 p^- 的 GaAs 层,可避免 DX 中心存在. 正如文献 [1] 报道的那样,无论 n 沟或 p 沟 HIGFETs, 它们的跨导均较高,在室温和 77K 时分别为 218 和 385 mS/mm (n 沟), 28 和 59 mS/mm (p 沟). 它们的开启电压 V_{th} 的均匀性都较好,其分散性不大于 3%^[2]. V_{th} 对温度又不敏感. 这些均有利于制作高速、低功耗、互补型 LSI/VLSI. 文献 [3] 还指出 n 沟 HIGFETs 有负阻效应,寄生电容很小,可作为良好的微波器件.

对于这样一种很有发展前途的器件,虽有较为详细的研制报道^[4],但尚缺乏较为系统的理论分析,特别是缺乏器件结构参数和材料参数对器件性能影响的分析. 由于 HIGFETs 器件类似于 Si-MOSFETs, 但又有所不同,所以本文以导电沟道是 i -GaAlAs/GaAs 界面处的高迁移率二维电子气 (2-DEG) 为出发点,根据文献 [5] 提供的 E_F 与 n_s 的关系式,并借鉴 MOSFETs 和 MODFETs 的推导方法^[6], 建立起改进型电荷控制模型结合 GSW (R.A. Giblin, E.F. Schever, R.L. Wierichb)^[6] 速度场的一种新模型. 由此模型可推导出 HIGFETs 器件的一系列静态特性方程,即 I_D - V_D - V_G , G_m 和 C_G 的表达式. 并与文献的实测值作了比较,符合得甚好. 本文就理论分析,实验结果比较和参数间相互

1990年2月9日收到,1990年10月12日修改定稿.

* 国家自然科学基金资助课题

关系在下面作较详细的介绍。

二、理论推导

n 沟 HIGFETs 器件的结构示意图如图 1 所示 (p 沟从略). 它类似于 Si-MOSFETs, 但有两点不同: (1) 界面处有 2-DEG 存在, (2) n^- 中电离杂质可忽略不计. 图 1 中的能带结构一般可分为两个子能级: E_0 和 E_1 . 按三角阱近似^[4]

$$\left. \begin{aligned} E_0 &= \gamma_0 n_i^{2/3} \\ E_1 &= \gamma_1 n_i^{2/3} \end{aligned} \right\} \quad (1)$$

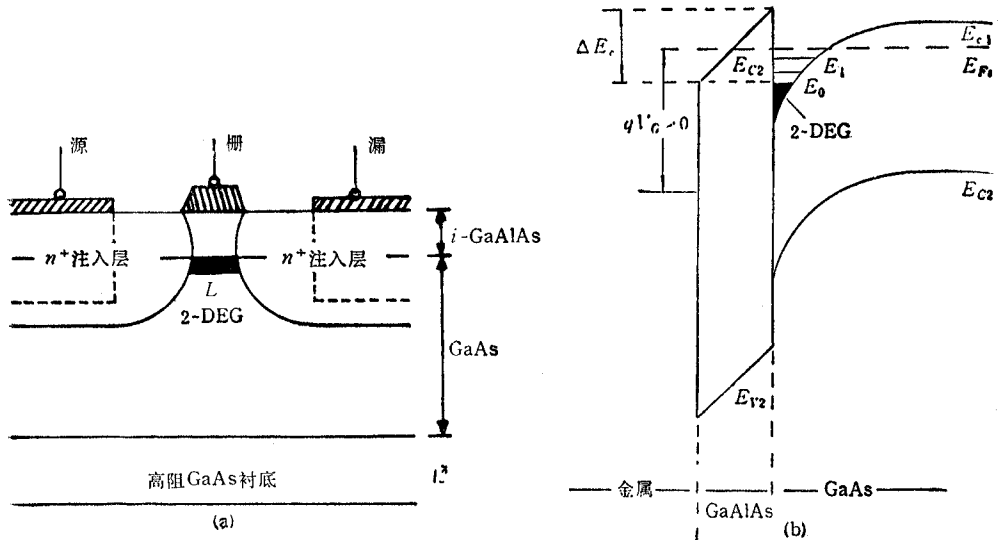


图 1 n 沟 HIGFETs 的结构 (a) 和能带示意图 (b)

式中 n_i 是 2-DEG 的密度 (cm^{-2}), γ_0 和 γ_1 是常数, 分别为 2.5×10^{-12} 和 $3.2 \times 10^{-12} \text{ V} \cdot \text{cm}^{4/3}$. 对于 p 沟 HIGFETs 也有类似关系. p_i 为二维空穴 (2-DHG) 密度, 其 γ_0 和 γ_1 分别为 1.25×10^{-12} 和 $2.19 \times 10^{-12} \text{ V} \cdot \text{cm}^{4/3}$.

文献 [4] 给出 n_s 与 E_{Fi} 有如下关系:

$$n_s = (DkT/q) \ln \{ [1 + \exp(q/(kT))(E_{Fi} - E_0)] \cdot [1 + \exp(q/(kT))(E_{Fi} - E_1)] \} \quad (2)$$

这里 $D = qm^*/(\pi\hbar^2)$, q 为电子电荷, E_{Fi} 为费米能级. 按文献 [5] 的近似, 包括考虑亚开启区的变化, 得到称为改进型电荷控制模型的近似关系:

$$E_{Fi} = A_n n_s^{1/2} - V_{on} \quad (3)$$

式中系数 $A_n (\text{V} \cdot \text{cm})$ 和 $V_{on} (\text{V})$ 是温度的函数:

$$\left. \begin{aligned} A_n &= 5.22 \times 10^{-10} T^2 + 1.74 \times 10^{-10} T + 1.88 \times 10^{-7} \\ V_{on} &= 1.66 \times 10^{-7} T^2 + 2.36 \times 10^{-4} T + 3.43 \times 10^{-2} \end{aligned} \right\} \quad (4a)$$

对 p 沟 HIGFETs 也有与 (3) 式相类似关系, 其中

$$\left. \begin{aligned} A_p &= 2.31 \times 10^{-10} T^2 + 8.06 \times 10^{-8} \\ V_{0p} &= 1.41 \times 10^{-7} T^2 + 4.12 \times 10^{-4} T + 4.46 \times 10^{-3} \end{aligned} \right\} \quad (4b)$$

按文献 [5] 的推导, 并参照图 1(b), n_s 的表达式为

$$qn_s = (\epsilon_2/d)[V_G - V_{bin} - (A_n n_s^{1/2} - V_{0n})] \quad (5a)$$

这里 ϵ_2 、 d 分别是 GaAlAs 层的介电常数和厚度, V_G 为栅电压, $V_{bin} = \phi_b - \Delta E_c$, ϕ_b 为栅金属与 GaAlAs 层间的 Schottky 势垒高度, ΔE_c 为 GaAs 导带的不连续性引起的分离能。

(5a) 式经合并, 化简后可得

$$qn_s = (\epsilon_2/d)[(V_G - V_r)^{1/2} - kF/2]^2 \quad (5b)$$

其中 $V_r = V_{bin} - V_{0n} - \epsilon_2 A_n^2 / (4qd) = V_{th} - \epsilon_2 A_n^2 / (4qd)$, V_{th} 为开启电压。 $KF = [\epsilon_2 A_n^2 / (qd)]^{1/2}$, 同理可得 p 沟 HIGFETs 的 qp_s 的类似关系式^[5]。

如果考虑沿沟道长度 x 方向 $n_s(x)$ 的变化, 则 (5b) 式中的 V_G 应该用 $V_G - V(x)$ 来代替, 则

$$qn_s(x) = (\epsilon_2/d)[(V_G - V(x) - V_r)^{1/2} - KF/2]^2 \quad (5c)$$

其中 $V(x)$ 是 x 方向上的沟道电压, 漏电流为^[4]

$$I_D = qn_s(x) \cdot W \cdot v(x) \quad (6)$$

这里 W 为器件的沟宽, $v(x)$ 为 x 方向上的电子漂移速度, 而电子速度场的 GSW 关系为

$$v(x) = v_s(1 - e^{-\xi/\xi_c}) \quad (7)$$

这里 v_s 为电子的饱和漂移速度; $\xi_c = v_s/\mu_n$, μ_n 为 GaAs 的低场迁移率。将 (5c) 式和 (7) 式代入 (6) 式得

$$\xi = dV(x)/dx = -\xi_c \ln\{1 - I_D / \{A[(V_G - V(x) - V_r)^{1/2} - V_0]^2\}\} \quad (8)$$

式中 $A = Wv_s\epsilon_2/d$, $V_0 = kF/2$ 。

设 $u(x) = I_D / \{A[(V_G - V(x) - V_r)^{1/2} - V_0]^2\}$, 则 (8) 式的积分表达式为(推导从略)

$$\int_{u(0)}^{u(L)} \frac{du}{u^2 \ln(1-u)} + \frac{1}{G^{1/2}} \int_{u(0)}^{u(L)} \frac{du}{u^{3/2} \ln(1-u)} = -\frac{A\xi_c L}{I_D} \quad (9)$$

这里 L 为栅长, $G = I_D / (AV_0^2)$, 积分的上、下限为

$$\left. \begin{aligned} u(0) &= I_D / \{A[(V_G - V_r - I_D R_S)^{1/2} - V_0]^2\} \\ u(L) &= I_D / \{A[(V_G - V_r + I_D R_D - V_{DS})^{1/2} - V_0]^2\} \end{aligned} \right\} \quad (10)$$

式中 R_S 和 R_D 分别为源和漏电阻。这样, 就可由 (9) 式得到 $I_D - V_D - V_G$ 间的关系, 为此要将

$$\int_{u(0)}^{u(L)} \frac{du}{u^2 \ln(1-u)} \text{ 化为 } -\int_1^{u(0)} \frac{du}{u^2 \ln(1-u)} + \int_1^{u(L)} \frac{du}{u^2 \ln(1-u)}$$

和

$$\int_{u(0)}^{u(L)} \frac{du}{u^{3/2} \ln(1-u)} \text{ 化为 } -\int_1^{u(0)} \frac{du}{u^{3/2} \ln(1-u)} + \int_1^{u(L)} \frac{du}{u^{3/2} \ln(1-u)}$$

令人更感兴趣的是器件的饱和电流和电压,假设饱和时, $g_D \rightarrow 0$, 则

$$u(L)_{\text{sat}} = I_{DS} / \{A[(V_G - V_r - V_{DS} + I_{DS}R_D)^{1/2} - V_0]^2\} = 1 \quad (11)$$

改写(9)式为

$$B(\rho) = B_1(\rho) + B_2(\rho)/G^{1/2} = A \cdot \xi_0 L / I_{DS} \quad (12)$$

这里

$$B_1(\rho) = \int_1^\rho \frac{du}{u^2 \ln(1-u)} \quad (13a)$$

$$B_2(\rho) = \int_1^\rho \frac{du}{u^{3/2} \ln(1-u)} \quad (13b)$$

$$\rho = u(0)_{\text{sat}} = I_{DS} / \{A[(V_G - V_r - I_{DS}R_S)^{1/2} - V_0]^2\} \quad (13c)$$

因此,一旦将 $B_1(\rho)$ 和 $B_2(\rho)$ 与 ρ 间的关系预先积分出,列成数值表,便可用迭代法结合查表法方便地算得一定 V_G 下的 I_{DS} ,再由(10)式求得 V_{DS} ,从而得到 V_G 与 I_{DS} 或 V_{DS} 间的关系。具体计算时,先假定一个 I_{DS} 值,由(10)式求出 ρ ,代入(12)式,然后反复迭代直至某 V_G 下(12)式两边相等。类似也可得到 $I_D - V_D - V_G$ 的关系。

还可分别得到最大跨导 G_m 和栅电容 C_G (推导从略):

$$G_m = I_{DS} \cdot S \cdot \tau / [I_{DS} S \cdot \tau \cdot M + \xi_0 L \ln(1-\rho)] \quad (14)$$

$$C_G = [L/(v_s B(\rho))] \{-2G_m C(\rho) + A \cdot S \cdot \tau / [\rho \ln(1-\rho)]\} \quad (15)$$

这里 $S = 1 - V_0/Y^{1/2}$, $\tau = 1 + (\rho/G)^{1/2}$, $M = V_G - V_r - V_0 Y^{1/2}$, $Y = V_G - V_r - I_{DS}R_S$, $C(\rho) = B_3(\rho) + G^{-1/2} B_4(\rho)$, 而

$$B_3(\rho) = \int_1^\rho \frac{du}{[u^3 \ln(1-u)]}$$

和

$$B_4(\rho) = \int_1^\rho \frac{du}{[u^{5/2} \ln(1-u)]}$$

同样可将 $B_3(\rho)$ 和 $B_4(\rho)$ 与 ρ 间关系预先积分得出数值表待查。

三、结果和讨论

图2中计算的 n 沟 HIGFETs 的参数取 $L = 1\mu\text{m}$, $W = 20\mu\text{m}$, $T = 77\text{K}$, $d = 450\text{\AA}$, $v_s = 2.1 \times 10^7 \text{cm/s}$, $\mu_n = 8600 \text{cm}^2/\text{V}\cdot\text{s}$, $R_S = 50\Omega$ (均取自文献[1])。计算的 $I_{DS} - V_G$ 结果与文献[1]的实测值作比较,相当符合。

有了 $I_{DS} - V_G$ 的关系后,应用(9)式和(10)式可方便地算得 n 沟 HIGFETs 的 $I_D - V_D - V_G$ 的关系。结果示于图3(a)。同理也可算得 p 沟 HIGFETs 的 $I_D - V_D - V_G$ 关系,

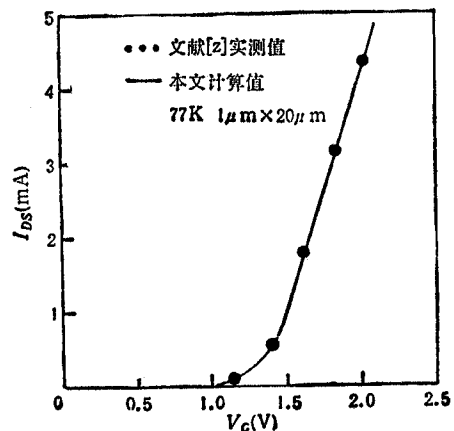


图2 n 沟 HIGFET 的 $I_{DS} - V_G$ 关系
(注: 图中文献[2]应为文献[1])

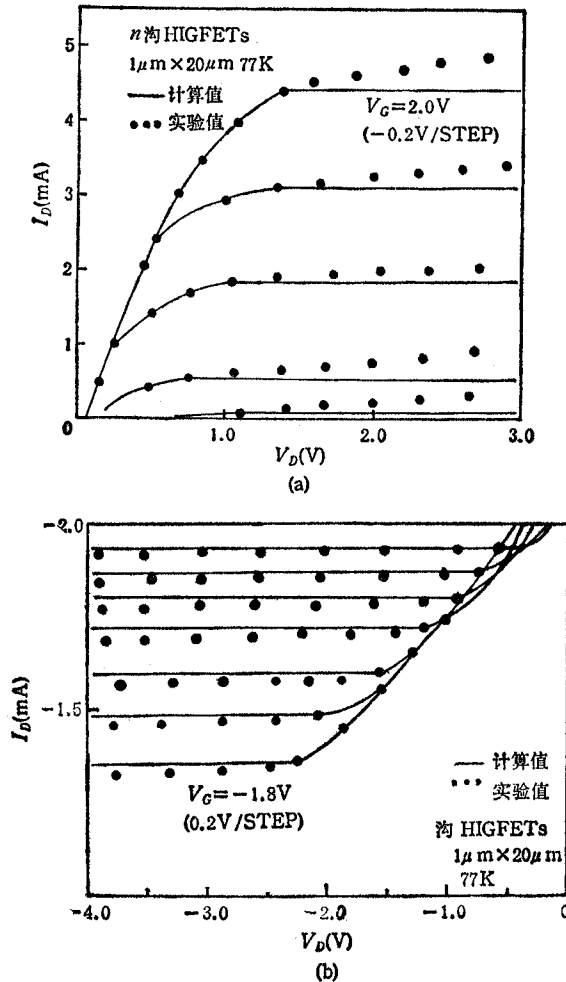


图 3

(a) *n* 沟 HIGFET 的 $I_D-V_D-V_G$ 的计算值与实测值^[1]比较
 (b) *p* 沟 HIGFET 的 $I_D-V_D-V_G$ 的计算值与实测值^[1]比较

示于图 3(b). 计算 *p* 沟时, 参数取 $\mu_p = 720\text{cm}^2/\text{V}\cdot\text{s}$, $v_s = 1.4 \times 10^7\text{cm/s}$, $R_s = 400\Omega$, $R_D = 1100\Omega$, $L = 1\mu\text{m}$, $W = 20\mu\text{m}$. 由图可见, 在线性区, 两种器件的计算值与实测值^[1]在各 V_G 下均符合得较好. 但在饱和区, 由于我们假定了 $g_D \rightarrow 0$, 即不考虑栅的泄漏电流影响, 这是不符合实际情况的. 这就会带来一定的偏差. 将在另文中详细讨论饱和区 (即高场区) 的 $I_D-V_D-V_G$ 关系, 得出更为准确的结果.

应用本模型和 $V_{th} = V_{bin} - V_{on}$ 关系, 结合 (4) 式. 我们计算了温度对 ΔV_{th} , 即 $V_{th,T} - V_{th,300K}$ 的影响, 结果示于图 4. 图中比较了 HIGFETs 和 MODFETs 两种器件的计算值和实测值. (MODFETs 的计算值是文献 [1] 的结果.) 可见, HIGFETs 的计算值与实测值^[1]相当一致. 这说明了所推导公式的准确性. 此外, HIGFETs 的 ΔV_{th} 变化小于 MODFETs, 这对制造 GaAs IC 是十分有利的.

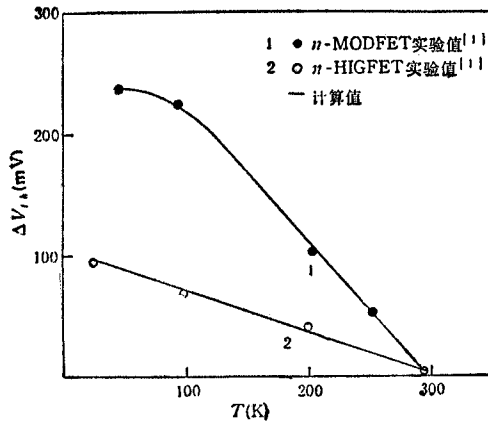


图4 HIGFETs 和 MODFETs 器件的 T 对 ΔV_{th} 影响

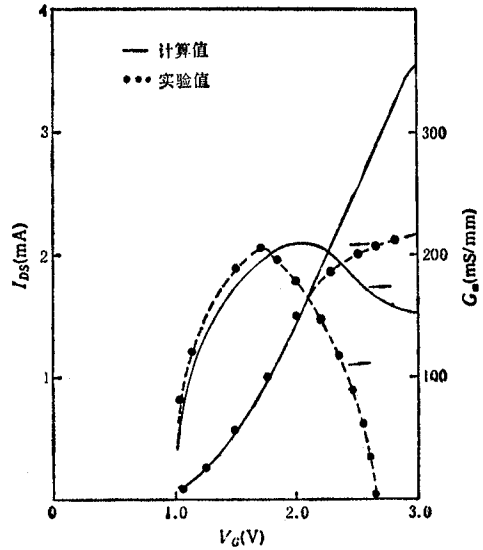


图5 V_G 对 G_m 和 I_{D_S} 的影响

应用(14)式计算的 G_m 与 V_G 的关系以及文献[5]的实测结果,一并画于图5。计算中,器件参数取自文献[5]: $T = 300\text{K}$, $L = 1\mu\text{m}$, $W = 10\mu\text{m}$, $d = 400\text{\AA}$, $R_S = 60\Omega$, $v_s = 1.4 \times 10^7\text{cm/s}$, $\mu_n = 3500\text{cm}^2/\text{V}\cdot\text{s}$ 。由图可见,当 $V_G < 2\text{V}$ 时,计算值与实测值相当符合;超过 2V 后,有较大的偏离,原因之一是本模型中未考虑栅泄漏电流的影响。

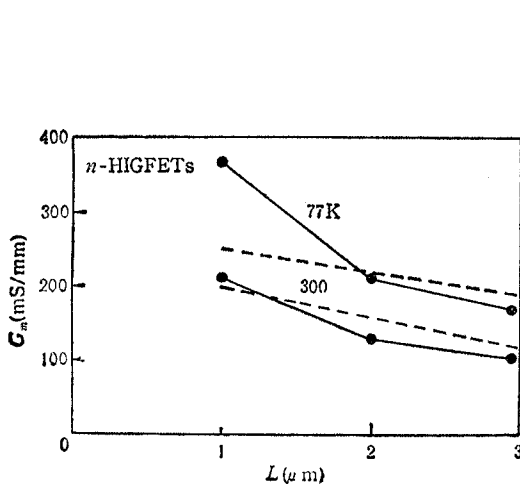


图6 温度和栅长对 G_m 的影响

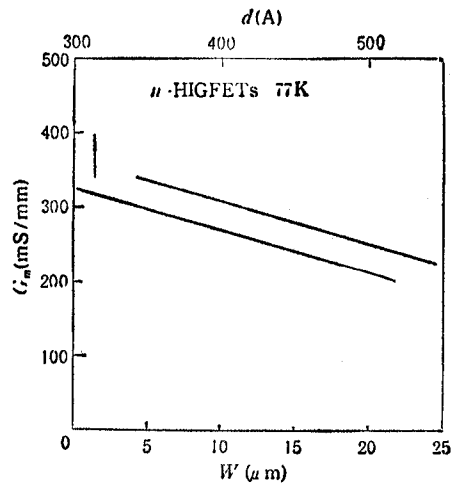


图7 W 和 d 对 G_m 的影响

图6 计算了温度和栅长对 HIGFETs 的 G_m 的影响。77K, $L = 1\mu\text{m}$ 时,计算值低于实测值,其余计算值均与实测值符合得较好。

为了探讨最佳器件参数的设计,我们还计算了栅宽 W 和 GaAlAs 厚度 d 对 G_m 的影响,结果示于图7。由图可见, G_m 随 W 的缩短和 d 的减薄而升高。因此在工艺条件许

可下,尽可能缩短 W 和减薄 d 是合理的。

综上所述,本文提供的模型和计算方法,在 $I_D < I_{DS}, V_D < 2V$ 时是比较适用的。在短栅器件中,高 V_D 和 V_G 下,计算值的偏差可能与未考虑栅的泄漏电流有关。因此考虑二区间模型是必要的。对此将在另文中详细讨论。本文讨论的器件结构参数的优化设计,对提高和改进 HIGFETs 的性能是有参考价值的。

参 考 文 献

- [1] N. C. Cirille, M. S. Shur, P. J. Vold, et al., Complementary Heterostructure Insulated Gate Field Effect Transistor, Int. Electron Devices Meeting (IEDM Tech. Dig.), (1985), p. 317.
- [2] K. Matsumoto, et al., *Electron. Lett.*, 20(1984), 462.
- [3] D. Dedagabandeauf, et al., *IEEE Trans. on ED*, ED-29(1982)6, 955.
- [4] T. Drummond, et al., *IEEE Trans. on EDL*, EDL-3(1982)11, 338.
- [5] J. Beak, et al., *IEEE Trans. on ED*, ED-34(1987)8, 1150.
- [6] Chian-Sean Chang, et al., *IEEE Trans. on ED*, ED 34(1987)7, 1456.

ANALYTICAL RESEARCH ON THE STATIC CHARACTERISTICS OF HETEROSTRUCTURE INSULATED GATE FIELD-EFFECT TRANSISTORS

Wang Dening Gu Cong Wang Weiyuan

(Shanghai Institute of Metallurgy, Academia Sinica, Shanghai)

Abstract Based on improved charge control model and combining GSW velocity-field equation, a series of analytical solutions for the static characteristics of HIGFETs such as $T_D-V_D-V_G, G_m$ and C_G are derived. The results of calculations are compared with experimental data reported in references, within the range of $V_G < 2V, I_D < I_{DS}$, they agree very well. It is pointed out that two-length model must be considered in the high field region due to greater leakage current between the gate and the drain. The effects of temperature on V_{th} , and the effects of gate length and width, temperature, GaAlAs thickness, source resistance, GaAs mobility on G_m are discussed. Possible approaches for improving performances of HIGFETs are pointed out according to the above analyses.

Key words HIGFETs; Low-field characteristics; Structure parameters; Static characteristics