

## 薄栅 SiO<sub>2</sub> 击穿特性的实验分析和机理研究<sup>1</sup>

刘红侠 郝 跃

(西安电子科技大学微电子研究所 西安 710071)

**摘 要** 该文利用衬底热空穴 (SHH) 注入技术分别控制注入到薄栅氧化层中的热电子和热空穴的数量, 定量研究了热电子和热空穴注入对薄栅氧化层击穿的影响, 提出了薄栅氧化层的经时击穿是由热电子和热空穴共同作用导致的新观点, 并为薄栅氧化层的经时击穿建立了一个新的物理模型。

**关键词** 薄栅氧化层, 衬底热空穴, 经时击穿, 击穿机理

**中图分类号** TN306, TN386

### 1 引 言

随着 MOS 集成电路微细化的发展, 尤其是 VLSI 的发展使栅氧化层越来越薄。当器件特征尺寸进入深亚微米时, 栅氧化层厚度仅为数纳米, 而器件工作的电源电压却不宜降低, 这使栅氧化层工作在较高的电场强度下, 栅氧化层的抗电性能成为一个突出的问题。栅氧化层抗电性能不好将引起 MOS 器件电参数不稳定, 如: 阈值电压漂移、跨导下降、漏电流增加等。栅氧化层击穿直接关系到 VLSI 的成品率, 是一个非常重要的可靠性问题。早在 70 年代初就其击穿机理、实验方法已展开了大量研究, 同时也提出了改进工艺、采用新的介质膜等一些行之有效的方法。栅氧化层击穿作为 MOS 电路的主要失效模式已成为目前国际上关注的热点。尤其是 E<sup>2</sup>PROM 和 Flash Memory 这类直接与栅氧化层有关的器件, 栅氧化层击穿的研究更具重要意义。

氧化膜的经时击穿 (Time Dependent Dielectric Breakdown, TDDB) 是指在所加电压低于临界击穿电场的情况下, 经过一段时间后发生的击穿。典型的氧化膜 TDDB 特性由初期故障区、偶发故障区和本征故障区三个区域构成。其中本征故障区的击穿是由材料决定的, 与缺陷无关。这类击穿是最重要的, 需要在产品设计阶段进行解决, 这是本文重点研究对象。但精确描述栅氧化层击穿的模型至今仍未得到。

目前, TDDB 机理研究的物理模型有如下几类: 电子俘获击穿模型<sup>[1,2]</sup>; 空穴击穿模型<sup>[3-5]</sup>; 感生共振隧穿模型<sup>[6]</sup>和击穿的统计模型<sup>[7]</sup>。前三类机理研究与 TDDB 物理本质相关, 而击穿的统计模型认为氧化层的寿命取决于空穴流  $Q_h$  达到某一特征值所要求的时间, 不涉及击穿的物理本质。

栅氧化层的击穿究竟与热电子还是与热空穴有关, 还是两者皆起作用? 为了回答这个问题, 本文中采用衬底热空穴注入技术, 分别控制注入到氧化层中的热电子和热空穴的数量, 对两者在栅氧化层击穿中的作用进行了定量观察。结果表明是热电子和热空穴的共同作用导致了栅氧化层的击穿。

### 2 实验原理

图 1 显示出一个 n 沟 MOSFET 与一个底部 pn 结结构。底部 pn 结的作用是在正偏压下向 p 型衬底中提供大量的电子。如果 p 型衬底的厚度小于电子的扩散长度, 则提供的部分电子将扩散到耗尽区, 从耗尽区的高电场中获得能量克服降低了的界面势垒注入到 SiO<sub>2</sub> 中去。同

<sup>1</sup> 1999-09-22 收到, 2000-05-30 定稿  
国家部级预研基金资助项目 (OOJ8.4.3.D201)

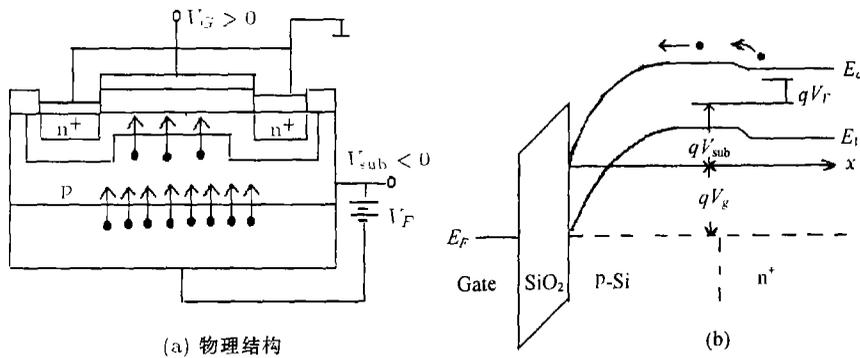


图 1 MOSFET 与底部 pn 结构的热载流子注入

理, 采用 p 沟 MOSFET 与底部 pn 结构也可以向 SiO<sub>2</sub> 中注入热空穴。利用这种结构研究热载流子向 SiO<sub>2</sub> 中的注入过程的主要优点是: 影响氧化层中陷阱电荷产生的参量, 亦即氧化层电场和注入到氧化层中的电流, 能够被互相独立地改变, 前者靠改变栅压, 后者则靠改变衬底偏压来实现。

### 3 实验结果及讨论

#### 3.1 实验样品及设备

实验所用的样品为生长在 n 阱中的 p 沟 MOSFET, 其宽长比为 50μm/5μm, 栅电极为多晶硅, 氧化层厚度为 10nm, 其物理结构如图 2 所示。在实验中 MOSFET 的源极、漏极和衬底都接地。对栅介质中通过的电子流和空穴流的测量, 是通过由 HP4156B 高精度半导体参数分析仪和探针台组成的测试系统来完成的。

#### 3.2 实验结果及讨论

图 3 是栅电压  $V_g$  分别取 -10V, -10.5V 和 -11V 时的测试结果, 图中  $I_g$  代表栅电流,  $V_{bp}$  代表底部 pn 结电压差,  $I_{bp}$  代表底部 pn 结的注入电流, 该图显示了  $V_{bp}$  对  $I_g$  的控制作用。通过氧化层的电子电流  $I_e$  由栅压  $V_g$  控制, 空穴电流  $I_h$  由 n 阱和底部的偏压  $V_{bp}$  控制, 而栅电流  $I_g$  为电子电流  $I_e$  和空穴电流  $I_h$  之和, 即  $I_g = I_e + I_h$ 。当底部 pn 结非正偏时, 由于内建电场的作用, 空穴并不会注入到栅氧化层中, 此时栅电流  $I_g$  仅由电子电流  $I_e$  组成,  $V_g$  不变时,  $I_g$  保持不变, 即  $I_g = I_e$ 。对于栅电压  $V_g = -11V$ , 图中  $I_g$  大约为 -2nA, “-” 表

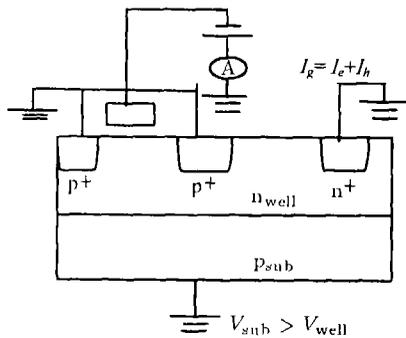


图 2 p 沟 MOSFET 物理结构示意图

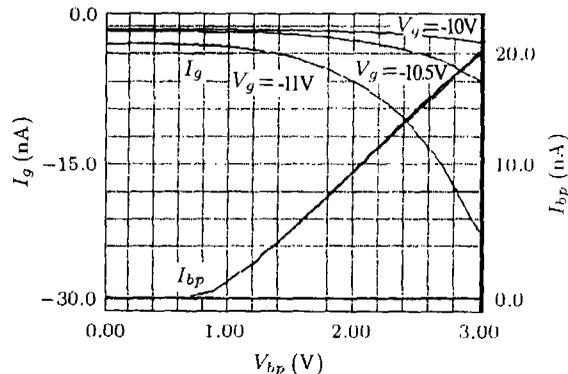


图 3  $I_g$  随  $V_{bp}$  的变化关系

明电流流出器件。当底部 pn 结正偏时 ( $V_{bp} > 0.7V$ )，注入到氧化层中的空穴流  $I_h$  随着  $V_{bp}$  的增大而增大，栅电流也就越来越大。因此通过改变  $V_g$  和  $V_{bp}$ ，可以分别控制注入到氧化层中的电子电流和空穴电流。

实验中注入到栅氧化层中的电子总量由下式表示：

$$Q_e = J_e \times \tau_{bd} \quad (1)$$

$$J_e = I_e / S_A \quad (2)$$

式中  $J_e$  为注入的电子流密度， $\tau_{bd}$  为栅氧化层的击穿时间， $S_A$  为栅氧化层面积。同理，实验中注入到栅氧化层中的空穴量可由下式表示：

$$Q_h = J_h \times \tau_{bd} \quad (3)$$

$$J_h = I_h / S_A \quad (2)$$

式中  $J_h$  为注入的空穴流密度。应指出的是，在栅压作用下由于电子注入所产生的热空穴流并不会对  $Q_h$  产生影响，因为其远远小于由底部注入的热空穴电流。

栅氧化层的击穿究竟与热电子还是与热空穴有关，还是两者皆起作用，为了回答这个问题，下面研究在氧化层电场恒定，即注入的热电子流恒定的情况下， $Q_h$ 、 $Q_e$  与注入热空穴流密度  $J_h$  的关系， $J_h$  由  $V_{bp}$  的变化控制。图 4 显示了  $J_e = 4 \times 10^{-3} \text{ A/cm}^2$  时， $Q_h$ 、 $Q_e$  与  $J_h$  的函数关系。从图 4 中可以看出，在较高的  $J_h$  区， $Q_h$  随着  $J_h$  的增大而增大。这个实验结果表明，在  $J_h$  较高的区域， $Q_h$  模型，即通过栅氧化层的空穴量达到某一定值时，栅氧化层就会发生击穿，这一模型并不成立。另一方面，在图 4 中  $Q_h$  上升所对应的区域里， $Q_e$  几乎保持不变。同时我们可以看到，在  $J_h$  较低的区域， $Q_h$  保持不变而  $Q_e$  却随着  $J_h$  的增大而减小。因此这个结果似乎表明，无论是在  $J_h$  较高情况下注入还是在  $J_h$  较低情况下注入，栅氧化层的击穿是热电子和热空穴的共同作用导致的。从上述实验结果可以推知：热电子的注入将在氧化层中产生陷阱，这些陷阱俘获空穴后将导致栅氧化层发生击穿。当  $J_h$  较高时， $Q_h$  随着  $J_h$  的增大而增大，这是因为有大量的空穴在通过栅氧化层时未被俘获。相比之下， $Q_e$  却几乎保持不变。我们认为在这种情况下，注入热电子所产生的陷阱的数量是影响击穿时间的主要因素，一旦陷阱的数量达到栅介质击穿所需的某一定值时，击穿立刻发生。而对于图中在  $J_h$  较低的区域， $Q_h$  保持不变而  $Q_e$  却随着  $J_h$  的增大而减小。这是因为当  $J_h$  较低时注入的空穴量是影响击穿的主要因素，即栅介质的击穿主要由注入到氧化层中的空穴量控制。这一方面，与传统的模型一致。

从以上实验所得到的结果可以断定，栅氧化层的击穿是由热电子和热空穴的共同作用产生的。从实验中还可以注意到，从 n 阱注入到栅氧化层中的空穴在  $V_{bp}$  (实验中为 2-3V) 控制下的能量变化并没有对栅介质的击穿产生影响。实际上，如图 4 所示，即使  $V_{bp}$  增大时， $Q_e$  仍保

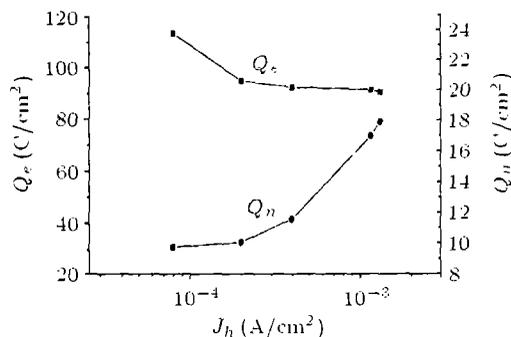


图 4  $J_e$  恒定时， $Q_h$ 、 $Q_e$  随  $J_h$  的变化

持不变, 这表明  $Q_e$  不随  $V_{bp}$  的变化而变化。因此, 可以认定, 由热空穴注入所引起的氧化层损伤要比热电子所引起的损伤轻微的多。

#### 4 栅氧化层经时击穿物理模型

在 Si 到栅氧化层界面, 一般认为从 Si 单晶到氧化膜存在结构上的过渡区域(转移区), 即从硅氧四面体  $\text{SiO}_2$  到共价结构的 Si(金刚石结构)的过渡层。在这个区域里, Si-Si 键偏离, 对于在水汽中氧化所形成的氧化膜的情况, 在界面区域里还存在着较多的 Si-H, Si-OH 等键。这些键的结合力较弱, 切断键不需要较大的能量。在氧化膜内部也存在着 Si-H, Si-OH 以及 Si-Si, Si-O 等弱键, 因此, 当氧化层处于高场时, 在热电子的作用下, 转移层区及氧化膜内部的 Si-Si, Si-H 和 Si-OH 等键会被破坏, 形成陷阱电荷。基于该理论和上述实验现象可以认为, 栅氧化层发生击穿可以分成两步:

第 1 步 注入的热电子在栅氧化层中产生陷阱中心。

注入到栅氧化层中的热电子, 能够破坏 Si-SiO<sub>2</sub> 界面转移层及氧化膜内部区域里的 Si-H, Si-OH, Si-Si 和 Si-O 等弱键, 形成 ( $\equiv\text{Si-O}^-$ ), ( $\equiv\text{Si}^-$ ) 结构的陷阱中心。

第 2 步 热空穴陷入注入热电子产生的陷阱中。

当注入的热电子使 Si-OH, Si-H, Si-Si, Si-O 等弱键断裂时, 栅氧化层中就产生了陷阱中心, 表现为热空穴陷阱。一旦空穴被陷阱俘获, 就会产生 ( $\equiv\text{Si}^-$ ), ( $\equiv\text{Si-O}^-$ ) 结构。形成的这些结构要比三维四面体结构具有更强的导电性。当该结构在栅氧化层内形成导电通路时, 栅氧化层就会发生击穿。

以上的这个两步过程模型, 说明了栅氧化层的击穿是在注入的热电子和热空穴的共同作用下发生的。

根据该模型, 可对文献中提到的 TDDB 与所加电压极性有关这一现象进行解释。由于 Si-SiO<sub>2</sub> 界面的过渡区内存在大量的 Si-OH, Si-H, Si-Si, Si-O 等弱键, 当热电子从衬底向氧化层中注入时产生的陷阱要比电子从栅极注入时的多, 因此, 栅压为正时, TDDB 失效几率要大于栅压为负时的失效几率。

#### 5 结 论

本文利用衬底热空穴注入技术分别控制注入到栅氧化层中的热电子和热空穴量, 对栅氧化层的击穿机理进行了研究。实验结果显示, 在注入的电子电流恒定时, 总的击穿空穴量  $Q_h$  在空穴流较高时并不恒定, 即在  $J_h$  较高时,  $Q_h$  随  $J_h$  的增大而增大。然而, 在这一区域, 总的击穿电子量  $Q_e$  却保持恒定。相反地, 在  $Q_h$  恒定时,  $Q_e$  却随  $J_h$  的增大而减小。这些实验结果表明栅氧化层击穿的限制因素依赖于注入热电子量和热空穴量的平衡, 当注入的热空穴量非常大时, 由注入热电子所产生的热空穴陷阱的数量是栅介质击穿的限制因素; 而当注入的热空穴量较小时, 注入的热空穴量则是影响击穿的主要因素。因此可以得出结论: 栅氧化层的击穿是在注入的热电子和热空穴的共同作用下发生的。基于所得的实验结果, 提出了栅氧化层击穿的物理模型。认为栅氧化层的击穿是一个两步过程: 第一步是注入的热电子在栅氧化层中产生陷阱中心, 表现为热空穴陷阱; 第二步是热空穴被氧化层中的陷阱俘获后产生导电通路, 最后导致氧化层的击穿。

#### 参 考 文 献

- [1] D. J. Dumin, A model realiating wearout to breakdown in thin oxides, IEEE Trans. on Electron Devices, 1994, ED-41(9), 1570-1580.

- [2] P. P. Apte, Correlation of trap generation to charge-to-breakdown (Qbd), A physical-damage model of dielectric breakdown, *IEEE Trans. on Electron Devices*, 1994, ED-41(9), 1595-1602.
- [3] I. C. Chen, C. Hu, Electric breakdown in thin gate and tunneling oxide, *IEEE Trans. on Electron Devices*, 1985, ED-32(2), 413-422.
- [4] C. F. Chen, C. Y. Wu, A characterization model for constant current stressed voltage time characteristics of thin thermal oxide grown on silicon substrate, *J. Appl. Phys.*, 1986, 60(11), 3926-3944.
- [5] C. F. Chen, C. Y. Wu, The dielectric reliability of intrinsic thin SiO<sub>2</sub> films thermally grown on a heavily doped Si substrate characterization and model, *IEEE Trans. on Electron Devices*, 1987, ED-34(7), 1540-1551.
- [6] B. Ricco, Novel mechanism for tunneling and breakdown of thin SiO<sub>2</sub> films, *Phy. Rev. Lett.*, 1983, 51(19), 1795-1798.
- [7] J. C. Lee, I. C. Chen, C. Hu, Model and characterization of gate oxide reliability, *IEEE Trans. on Electron Devices*, 1988, ED-35(12), 2268-2278.

## EXPERIMENT ANALYSIS AND MECHANISM RESEARCH ON BREAKDOWN CHARACTERISTICS OF THIN SiO<sub>2</sub> GATE DIELECTRIC

Liu Hongxia    Hao Yue

*(Institute of Microelectronics, Xidian University, Xi'an 710071, China)*

**Abstract** The roles of hot electrons and holes in dielectric breakdown of the thin gate oxide have been quantitatively investigated in the paper by separately controlling the amount of injected hot electrons and holes with Substrate Hot Holes(SHH) injection method. The results shows that the cooperation of hot electrons and holes is essential for the Time Dependent Dielectric Breakdown(TDDB) in thin gate oxides and thus a new physical model is presented.

**Key words** Thin gate oxide, Substrate hot holes, Time dependent dielectric breakdown, Breakdown mechanism

刘红侠: 女, 1968 年生, 副教授, 博士生, 主要从事 VLSI 集成电路 MOS 器件高场退化机理、模型及可靠性设计研究。

郝 跃: 男, 1958 年生, 教授, 博士生导师, IEEE 高级会员, 中国电子学会高级会员, 主要从事 IC 可靠性设计及 IC 可制造性工程与设计方法学、新器件与电路研究。