

## PMOS 晶体管工艺参数变化对 SRAM 单元翻转恢复效应影响的研究

张景波<sup>①②</sup> 杨志平<sup>①</sup> 彭春雨<sup>①</sup> 丁朋辉<sup>①</sup> 吴秀龙<sup>\*①</sup>

<sup>①</sup>(安徽大学电子信息工程学院 合肥 230601)

<sup>②</sup>(工业和信息化部产业发展促进中心 北京 100804)

**摘要:** 基于 Synopsys 公司 3D TCAD 器件模拟, 该文通过改变 3 种工艺参数, 研究 65 nm 体硅 CMOS 工艺下 PMOS 晶体管工艺参数变化对静态随机存储器(Static Random Access Memory, SRAM)存储单元翻转恢复效应的影响。研究表明: 降低 PMOS 晶体管的 P<sup>+</sup>深阱掺杂浓度、N 阱掺杂浓度或调阈掺杂浓度, 有助于减小翻转恢复所需的线性能量传输值(Linear Energy Transfer, LET); 通过降低 PMOS 晶体管的 P<sup>+</sup>深阱掺杂浓度和 N 阱掺杂浓度, 使翻转恢复时间变长。该文研究结论有助于优化 SRAM 存储单元抗单粒子效应(Single-Event Effect, SEE)设计, 并且可以指导体硅 CMOS 工艺下抗辐射集成电路的研究。

**关键词:** 静态随机存储器; 线性能量传输值; 翻转恢复时间; 单粒子效应

中图分类号: TN432

文献标识码: A

文章编号: 1009-5896(2017)11-2755-08

DOI: 10.11999/JEIT170547

## Study on the Effect of Upset and Recovery for SRAM Under the Varying Parameters of PMOS Transistor

ZHANG Jingbo<sup>①②</sup> YANG Zhiping<sup>①</sup> PENG Chunyu<sup>①</sup> DING Penghui<sup>①</sup> WU Xiulong<sup>①</sup>

<sup>①</sup>(School of Electronics and Information Engineering, Anhui University, Hefei 230601, China)

<sup>②</sup>(Industry Development and Promotion Center of Ministry of Industry and Information Technology, Beijing 100804, China)

**Abstract:** Based on Synopsys TCAD 3-D device simulation, the effects of PMOS transistor process parameters on the upset and recovery effect of Static Random Access Memory (SRAM) memory cell are studied in a 65-nm bulk CMOS technology, mainly by changing the three process parameters. The simulation results show that reducing the doping concentration of deep-P<sup>+</sup>-well, N-well and threshold doping concentration in PMOS transistor can decrease the Linear Energy Transfer (LET) value of the upset and recovery. By reducing the doping concentration of deep-P<sup>+</sup>-well and N-well in PMOS transistor, the time of the upset and recovery increases. The conclusion of this paper is helpful to optimize the design of Static Random Access Memory cell mitigating Single-Event Effect (SEE), and can give a great guidance for the anti-radiation integrated circuit under bulk CMOS process.

**Key words:** Static Random Access Memory (SRAM); Linear Energy Transfer (LET) value; Time of the upset and recovery; Single-Event Effect (SEE)

### 1 引言

辐射环境下的高能粒子入射半导体器件敏感区域, 将会产生单粒子效应<sup>[1]</sup>, 引起存储信息的翻转、闩锁、电流和电压的扰动, 导致集成电路发生功能性错误。静态随机存储器(SRAM)是集成电路存储信息的重要部件, 当 6 管单元受到单粒子效应影响时, 存储信息可能会发生翻转, 这个效应被称为单粒子翻转(Single Event Upset, SEU)。在体硅 CMOS

工艺下, 为了解决 SEU 效应, 长期以来, 国内外学者对存储单元加固进行了深入研究<sup>[2-10]</sup>。从电路结构方面, 文献[3]通过采用电阻加固方法, 在一定程度上提升了存储单元抗 SEU 的能力, 但由于电阻的引入, 存储单元写访问速度遭到恶化。文献[5]和文献[6]分别提出了具有加固能力的 DICE 与 TDICE 存储单元结构, 他们主要的特点是通过增加冗余节点来抑制 SEU。当一个节点受到粒子辐射的影响发生 SEU 时, 冗余节点将通过电路反馈机制对发生 SEU 的节点信息数据进行恢复。然而随着电路集成度越来越高, 单粒子辐射会影响多个节点, 所以增加冗余节点的加固方法已逐渐面临失效。从 CMOS 工艺方面考虑, 工艺参数的变化在一定程度上也影

收稿日期: 2017-06-08; 改回日期: 2017-08-31; 网络出版: 2017-09-14

\*通信作者: 吴秀龙 xiulong@ahu.edu.cn

基金项目: 国家自然科学基金(61674002, 61474001, 61574001)

Foundation Items: The National Natural Science Foundation of China (61674002, 61474001, 61574001)

响着粒子轰击后电荷产生和收集的过程。如 P<sup>+</sup>深阱掺杂可以降低寄生电阻的阻值,有助于降低粒子轰击后衬底对器件性能的干扰<sup>[7]</sup>,重掺杂的 P<sup>+</sup>深阱可以提高 SRAM 的翻转线性能量传输值(LET)阈值<sup>[8]</sup>,对衬底浓度的调整可以改变体电势和少子迁移率,进而影响电荷的收集<sup>[9,10]</sup>。对于抗辐射加固技术的研究,工艺参数的改变不但没有对电路面积造成影响,而且还可以通过调整掺杂来改变节点电荷收集量,最终使得电路得到加固<sup>[11]</sup>。

与前人研究不同,本文主要通过侧重分析 PMOS 晶体管工艺参数的变化对翻转恢复 LET 阈值与恢复时间产生的影响。在 65 nm CMOS 三阱工艺下,利用 Synopsys 公司的 TCAD 模拟软件对传统 6 管存储单元进行单粒子效应仿真。在 6 管存储单元表现出翻转恢复效应的前提下,分别调整 P<sup>+</sup>深阱、N 阱或调阈掺杂浓度,综合考虑翻转恢复 LET 阈值和翻转恢复时间来模拟分析对翻转恢复效应的影响。

## 2 SRAM 存储单元的翻转恢复效应

### 2.1 PMOS 晶体管的切面结构

在 TCAD 仿真软件中,PMOS 晶体管的切面结构如图 1 所示,它主要是由 PMOS、场区、N 阱、P<sup>+</sup>深阱和衬底组成。其中 PMOS 管位于在 N 阱中,P<sup>+</sup>深阱位于 N 阱和衬底之间。

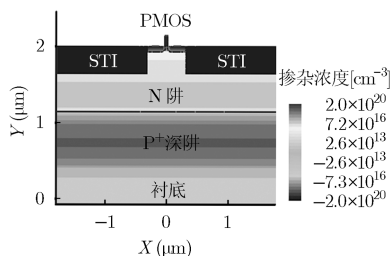


图 1 PMOS晶体管在TCAD中的切面结构

### 2.2 不同线性能量传输值的单粒子入射对 SRAM 单元的影响

**2.2.1 仿真设置** 图 2 所示为传统 6 管 SRAM 单元的电结构图。可以看出它由  $N_0, N_1, N_2$  和  $N_3$  4 个 NMOS 管以及  $P_0$  和  $P_1$  两个 PMOS 管组成,其中  $N_0, P_0$  和  $N_1, P_1$  分别组成一对交叉耦合的反相器,交叉耦合的反相器对通过相互锁存来存储高低电平信号。 $N_2$  和  $N_3$  的栅极连接字线信号,作为读写操作的开关,所以也被称作存取管或者传输管。当存储单元进行写操作时,如对  $Q$  点写“1”,在字线开启之前,将 BL 升高至高电平, BLB 下降至低电平,后将字线置为高电平。此时  $N_2$  和  $N_3$  导通, BL 与  $Q$  点

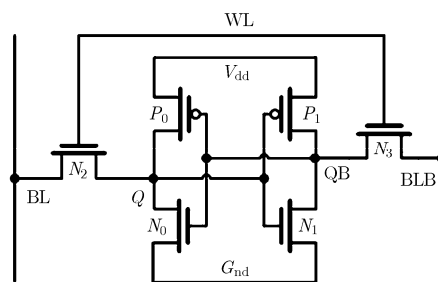


图 2 传统的 6 管 SRAM 存储单元

形成通路,并对  $Q$  点充电直至高电平,于此同时 QB 对 BLB 放电直至降为低电平,完成数据写入操作。在数据稳定之后,将字线置为低电平,关断传输管,存储单元此时为保持状态。同样的方法也可以用于对 QB 写“1”。当存储单元进行读操作时,在字线开启之前,首先要将 BL 与 BLB 两条位线预充至高电平,然后将字线置为高电平,打开传输管  $N_2$  和  $N_3$ 。若之前  $Q$  与 QB 存储的逻辑值分别为“0”和“1”,则  $N_0$  与  $P_1$  处于开态,此时 BLB 电压保持,而 BL 则通过  $N_0$  管对地进行放电直至低电平,单元的存储信息被读出。待数据稳定之后关断传输管,数据进行保持状态。

在 65 nm CMOS 体硅技术中,CMOS 结构中 PMOS 管和 NMOS 管电荷收集特性不同,因为 PMOS 管中存在双极放大效应比 NMOS 管更显著,所以当 PMOS 管受到入射粒子轰击时收集的电荷量比 NMOS 管收集的电荷量要多,具有很大的研究性,所以本文选择  $P_0$  和  $P_1$  管作为主要研究的 PMOS 管。为了更好地研究  $P_0$  和  $P_1$  的电荷收集特征性,本文采用混合仿真的形式,其中  $P_0$  和  $P_1$  采用 3D TCAD 模型,  $N_0, N_1, N_2$  和  $N_3$  选用 SPICE 模型,传统 6 管 SRAM 的两个输出节点分别被标记为  $Q, QB$ 。存储节点  $Q$  和  $QB$  初始电压分别设定为 0 V 和 1.2 V。在 3D TCAD 器件模拟中,PMOS 管间距为 0.3  $\mu\text{m}$ ,尺寸为  $W = 80 \text{ nm}, L = 65 \text{ nm}$ ,该尺寸模型所获得的电流电压曲线与 SMIC 65 nm 工艺 PDK 仿真得到波形基本一致。除此之外,STI 厚度为 0.36  $\mu\text{m}$ ,N 阱深度为 0.65  $\mu\text{m}$ ,P<sup>+</sup>深阱深度为 1.25  $\mu\text{m}$ 。同时设定粒子的入射角为 0°,轰击半径为 0.05  $\mu\text{m}$ ,入射深度为 5  $\mu\text{m}$ ,粒子轰击开始作用时刻为  $t = 60 \text{ ps}$ <sup>[12]</sup>。即电路状态稳定后 60 ps 时入射粒子进行轰击。

众所周知,版图布局对 SRAM 单元的单粒子翻转效应影响较大,基于混合仿真的模式,在 3D TCAD 器件模拟中本文只需考虑 PMOS 管的布局,可以分为 3 种版图形式,见图 3。其中将粒子直接轰击的  $P_0$  管作为主 PMOS,间接受到粒子轰击影响

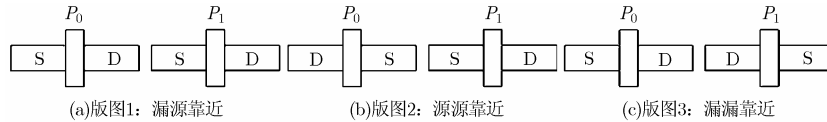


图 3 TCAD 中 3 种 PMOS 管的布局形式

的  $P_1$  管作为从 PMOS。分别基于 3 种版图,对 SRAM 中的主 PMOS 管的漏端进行轰击,如图 4 所示,发现版图 1 和版图 2 在 LET 为  $150 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  时仍不发生翻转恢复效应,即  $Q$  点仍不发生发生翻转恢复现象,对版图 1 和版图 2 进行深入研究的意义很小。所以本文选择版图 3 进行以下研究,其混合仿真的模型如图 5 所示。

**2.2.2 仿真结果** 为了观察存储节点  $Q$  端电压在不同 LET 值下的脉冲变化,仿真时单粒子 LET 值分别设置为  $1 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ ,  $2 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ ,  $20 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ ,  $40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ ,  $60 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  和  $80 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ , 且  $Q$  节点初始状态为  $0 \text{ V}$ 。结果如图 6 所示,当入射粒子的 LET 为  $1 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  时,  $Q$  节点存储的逻辑信息发生微小的波动,但不会对电路结果造成影响;当入射粒子的 LET 为  $2 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  时,  $Q$  节点存储的逻辑

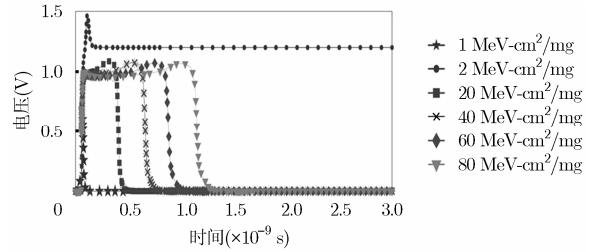


图 6 不同 LET 粒子轰击导致  $Q$  端电压脉冲变化

信息会发生改变,由于在入射粒子瞬时轰击下造成大量的电荷收集,存储节点的逻辑电平迅速由  $0$  变为  $1$ ,最终恢复平稳,并且保持高电平不变,形成 SEU 效应;当入射粒子的 LET 分别为  $20 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ ,  $40 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ ,  $60 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  和  $80 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  时,  $Q$  节点存储的逻辑信息在最终时刻恢复为  $0$ ,但在中间时刻,存储信息发生了较大幅度的波动。仿真结果表明,当入射粒子的线性能量传输值达到一定值时,单粒子轰击存储节点会造成存储节点的逻辑信息发生先翻转后恢复的现象,形成翻转恢复效应。

如表 1 所示,经过大量仿真发现,电路形成 SEU 效应的最小入射粒子线性能量传输值为  $1.3 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ , 记为  $\text{LET}_{\text{SEU}}$ ; 电路形成翻转恢复效应的最小入射粒子线性能量传输值为  $17 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ , 记为  $\text{LET}_{\text{rev}}$ 。

对受到单粒子辐射影响的 6 管 SRAM 存储单元而言,当满足  $\text{LET}_{\text{SEU}} < \text{LET} < \text{LET}_{\text{rev}}$  时电路会发生 SEU 效应,使得存储节点的逻辑值发生改变,电路功能发生错误。当满足  $\text{LET} > \text{LET}_{\text{rev}}$  时电路发生翻转恢复效应,最终存储节点逻辑值不变,对电路功能影响较小。 $\text{LET}_{\text{rev}}$  值越小且发生翻转恢复的时间越短,则电路发生 SEU 效应的概率越低,电路的逻辑功能受单粒子轰击的影响越低。所以如何降低翻转恢复  $\text{LET}_{\text{rev}}$  的值,缩短翻转恢复效应所带来的额外时间,是提高传统 6 管存储单元的抗辐射性能

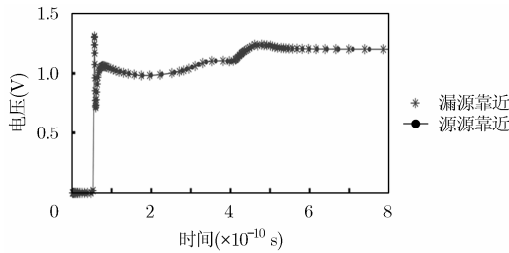


图 4 在 LET 为  $150 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  轰击时,分别基于版图 1 和版图 2,  $Q$  点漏端的脉冲的变化

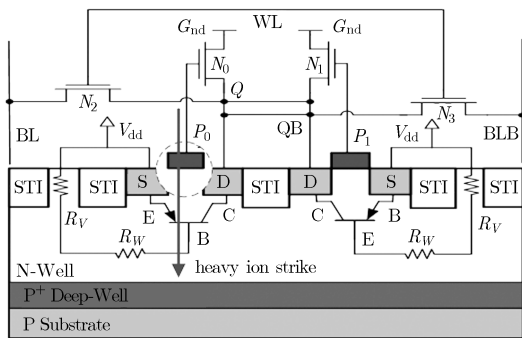


图 5 用于研究传播过程中 SEU 变化的传统 SRAM 6 管模型

表 1 改变 LET 值时,发生 SEU 对应的 LET 阈值

LET (MeV·cm <sup>2</sup> /mg)	0.1	0.2~1.1	1.2	1.3	1.4	1.5~15	16	17	18	19~99	100
发生 SEU 效应	否	否	否	是	是	是	是	否	否	否	否
发生翻转恢复效应	否	否	否	否	否	否	否	是	是	是	是

的关键。基于上述原因, 本文将研究通过改变工艺掺杂, 来分析存储单元发生翻转恢复效应对入射粒子 LET 阈值和恢复时间的影响。

### 3 PMOS 晶体管参数变化对 SRAM 单元翻转恢复效应影响的分析

#### 3.1 P<sup>+</sup>深阱掺杂浓度的影响

对于发生 SEU 效应的 6 管 SRAM 单元而言, 当入射粒子的 LET 处于  $LET_{SEU}$  和  $LET_{rev}$  之间时, 入射粒子的淀积电荷会导致存储节点的逻辑信息发生翻转, 它是由直接电荷收集引起的, 即主 PMOS 管( $P_0$ )的电荷收集引起的。当入射粒子的 LET 大于  $LET_{rev}$  时, 发生翻转的状态又会恢复到初始状态。翻转恢复则是由间接的电荷收集导致的, 即从 PMOS 管( $P_1$ )的电荷收集引起。SRAM 存储单元发生翻转恢复是由多个节点电荷收集的作用导致<sup>[13]</sup>, 形成翻转恢复所需的 LET 阈值与相邻 PMOS 管电荷收集量密切相关。P<sup>+</sup>的掺杂浓度可能会影响 PMOS 管电荷的收集量, 进而对翻转恢复所需的 LET 阈值产生一定的影响。因此改变 P<sup>+</sup>的掺杂浓度可能会降低翻转恢复所需的 LET 阈值从而达到对 SRAM 单元加固的效果。

为了研究 P<sup>+</sup>掺杂浓度对 6 管 SRAM 单元翻转恢复效应的影响, 设置 P<sup>+</sup>掺杂浓度分别为  $5.0 \times 10^{16} \text{ cm}^{-3}$ ,  $7.5 \times 10^{16} \text{ cm}^{-3}$ ,  $1.0 \times 10^{17} \text{ cm}^{-3}$ ,  $2.5 \times 10^{17} \text{ cm}^{-3}$ ,  $5.0 \times 10^{17} \text{ cm}^{-3}$  和  $7.5 \times 10^{17} \text{ cm}^{-3}$ , 单粒子入射线性能量传输值为  $25 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ , 该入射线性能量传输值大于 SRAM 翻转恢复的  $LET_{rev}$  的值, 轰击的位置角度不变, 仿真结果如图 7 和图 8 所示。从图 7 可以看出, P<sup>+</sup>深阱浓度会对 Q 节点发生翻转恢复效应的时间产生影响。随着 P<sup>+</sup>深阱浓度增加, 存储节点 Q 的逻辑信息发生翻转恢复所需的时间逐渐减小。

从图 8 可以看出, P<sup>+</sup>深阱浓度也会对 SRAM 单元翻转恢复的  $LET_{rev}$  大小产生影响。随着 P<sup>+</sup>深阱浓度增加, 翻转恢复的 LET 阈值也在增加。

通过仿真发现, P<sup>+</sup>深阱掺杂浓度的改变对翻转恢复 LET 阈值和翻转恢复的时间都会产生影响。而翻转恢复的时间和翻转恢复 LET 阈值取决于电荷的收集量。所以研究 P<sup>+</sup>深阱浓度变化和相邻 PMOS 管电荷收集量之间的关系是很有必要的。对于传统 6 管存储单元而言, 当入射粒子轰击  $P_0$  的漏端时,  $P_1$  的漏端发生的翻转恢复效应现象, 主要由反馈和电荷收集共同作用。虽然在传统 6 管存储单元中  $P_0$  和  $P_1$  管不可能同时处于关闭状态, 但是为了剔除反馈作用, 只研究 P<sup>+</sup>深阱浓度变化对相邻 PMOS 管电荷收集量的影响, 本文将  $P_0$  和  $P_1$  两个 PMOS 管单独置于 TCAD 中, 使两个 PMOS 晶体管同时处于关闭状态而且不存在级联关系, 接下来的有关浓度的变化对相邻 PMOS 管电荷收集量影响的研究都是基于上述设置环境。 $P_0$  的漏端为入射粒子轰击的位置, 粒子轰击产生的电流仿真结果如图 9、图 10 所示。随着 P<sup>+</sup>深阱浓度的升高, 主 PMOS 器件漏端收集的电荷量减少, 但减少不明显, 而从 PMOS 器件漏端电荷收集量减少的幅度较大。电荷的收集机理主要有漂移、双极放大和扩散<sup>[14]</sup>。从漂移角度分析电荷收集, 当高能粒子轰击主 PMOS 的漏端, 会在入射轨迹上产生电子空穴对, 在外加电场的作用下, 电离的电子会被扫向 N 型掺杂区, 空穴则会扫向 P 型掺杂区。对于 P<sup>+</sup>深阱-N 阱形成的 PN 结, 其中 N 阱掺杂浓度为  $1.0 \times 10^{17} \text{ cm}^{-3}$ , 当 P<sup>+</sup>深阱浓度由  $5.0 \times 10^{16} \text{ cm}^{-3}$  增加至  $7.5 \times 10^{17} \text{ cm}^{-3}$  时, 会造成浓度差的增加。由式(1), 式(2)可知, P<sup>+</sup>深阱一侧的离子区宽度远远低于 N 阱一侧的宽度, 耗尽区明显变窄, 使得漂移运动逐渐减弱<sup>[15]</sup>, 即 N 阱对电

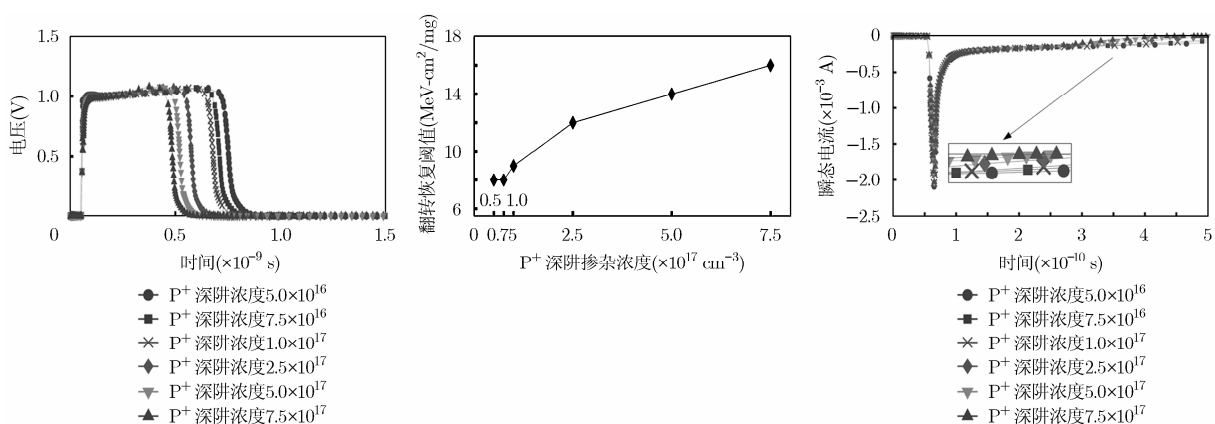


图 7 入射粒子线性能量传输值为  $25 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ , 不同 P<sup>+</sup>深阱掺杂下的 Q 点的电压波形的比较

图 8 P<sup>+</sup>深阱掺杂浓度的改变对对应翻转恢复阈值的变化

图 9 主 PMOS ( $P_0$ ) 漏端电流

子的收集量和衬底对空穴的收集量均减少。

$$N_B = \frac{N_A \cdot N_D}{N_D + N_A} \quad (1)$$

$$X_D = \sqrt{\frac{2\epsilon_r \epsilon_0 V_D}{qN_B}} \quad (2)$$

其中,  $N_D$  表示施主杂质浓度,  $N_A$  表示受主杂质浓度,  $\epsilon_0$  表示介电常数,  $\epsilon_r$  表示相对介电常数,  $V_D$  表示 PN 结内建电势差。

从双极放大角度分析电荷收集, 对于体硅 CMOS 工艺而言, PMOS 晶体管的 P 型掺杂的漏端, N 阱和 P 型掺杂的源端寄生了横向的 P-N-P 双极型晶体管, 如图 5 所示。当高能粒子轰击器件时, N 阱中收集的电子会降低阱电势, 阱电势的坍塌以及阱中存在的过剩载流子将使寄生的双极型晶体管导通, 导致收集的电荷量增多<sup>[16]</sup>。随着 P<sup>+</sup>深阱浓度的增加, 注入 N 阱中电子的数量减少, 阱电势升高, 导致寄生双极放大效应减弱, 收集的电荷量减少<sup>[17-22]</sup>。从扩散角度分析电荷收集, 在 TCAD 3D 仿真软件中, 从 PMOS 与主 PMOS 之间的间距较大, P<sub>1</sub>管漏端来自主 PMOS 扩散作用而收集的电荷量可以忽略。综上所述, 电荷收集量主要由漂移和寄生双极放大效应所产生的电荷<sup>[7]</sup>。

对于 SRAM 单元, 翻转恢复 LET 阈值与形成的翻转恢复效应分别是由 P<sub>0</sub>管和 P<sub>1</sub>管漏端电荷收集量决定。当轰击 6 管单元的入射粒子线性能量传输值满足 LET<sub>SEU</sub> < LET < LET<sub>rev</sub> 值条件时, 提高 P<sup>+</sup>深阱浓度, 将会导致 P<sub>0</sub>和 P<sub>1</sub>管漏端电荷收集量减小, 对于存在翻转恢复效应的单元而言 P<sub>1</sub>漏端电荷收集量下降较快, 会造成 P<sub>1</sub>漏端收集电荷量的不足而使存储单元产生 SEU 效应。相反, 降低 P<sup>+</sup>深阱浓度, 可以使 P<sub>1</sub>管漏端电荷收集量增加, 由于传统 6 管 SRAM 反馈机制, 存储单元出现翻转恢复的现

象, 即 Q 节点最终输出逻辑值与初始状态保持一致, 使电路功能不发生改变。但是随着 P<sup>+</sup>掺杂浓度的减小, 传统 6 管 SRAM 发生翻转恢复所需的时间进一步增加; 当轰击 6 管单元的入射粒子线性能量传输值满足 LET > LET<sub>rev</sub> 值条件时, 降低 P<sup>+</sup>深阱浓度, 此时翻转恢复 LET 阈值逐渐降低, 极大地提高了 P<sub>0</sub>管漏端抗辐照的能力, 同时存在着传统 6 管 SRAM 发生翻转恢复所需的时间进一步增加问题。

### 3.2 N 阱掺杂浓度的影响

为了研究 N 阱掺杂浓度对 6 管 SRAM 单元翻转恢复效应的影响, 设置 N 阱掺杂浓度为  $5.0 \times 10^{16} \text{ cm}^{-3}$ ,  $7.5 \times 10^{16} \text{ cm}^{-3}$ ,  $1.0 \times 10^{17} \text{ cm}^{-3}$ ,  $2.5 \times 10^{17} \text{ cm}^{-3}$ ,  $5.0 \times 10^{17} \text{ cm}^{-3}$  和  $7.5 \times 10^{17} \text{ cm}^{-3}$ , 单粒子入射线性能量传输值为  $18 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ , 该入射线性能量传输值大于 SRAM 翻转恢复的 LET 阈值, 轰击的位置角度不变, 仿真结果如图 11 和图 12 所示。从图 11 可以看出, N 阱浓度会对 Q 节点发生翻转恢复效应的时间产生影响。随着 N 阱浓度的增加, 存储节点 Q 的逻辑信息发生翻转恢复所需的时间也逐渐减小, 并小于 P<sup>+</sup>深阱浓度增加时所需的翻转恢复时间。

从图 12 可以看出, N 阱的掺杂浓度也会对 SRAM 单元翻转恢复 LET<sub>rev</sub> 产生影响, 随着 N 阱浓度增加, 翻转恢复的 LET 阈值也增加, 但翻转恢复的 LET 阈值变化幅度不多。

粒子轰击产生的电流仿真结果如图 13、图 14 所示。随着 N 阱浓度的增加, 主从 PMOS 管漏端电荷收集量均减小, 而且从 PMOS 管电荷收集量比主 PMOS 管电荷收集量减小更明显。从电荷收集产生角度分析, 直接受粒子轰击影响的主 PMOS(P<sub>0</sub>)管漏端收集的电荷主要来自源极和 N 阱, 而从 PMOS(P<sub>1</sub>)器件的电荷收集主要来自源极。主 PMOS 漏端

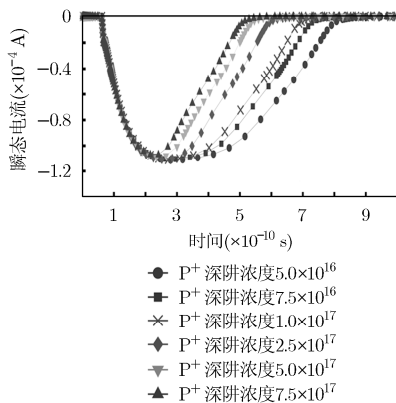


图 10 从 PMOS (P<sub>1</sub>)漏端电流

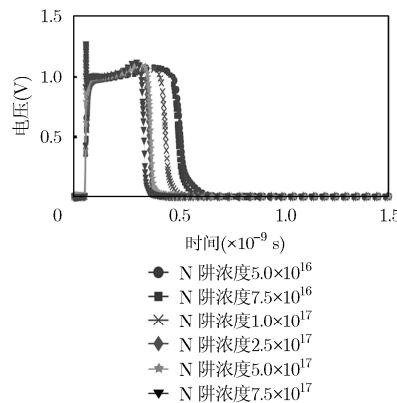


图 11 入射粒子线性能量传输值为  $25 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ , 不同 N 阱掺杂下的 Q 点的电压波形的比较

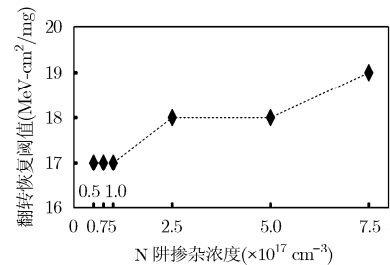


图 12 N 阱掺杂浓度的改变对应翻转恢复 LET 阈值的变化

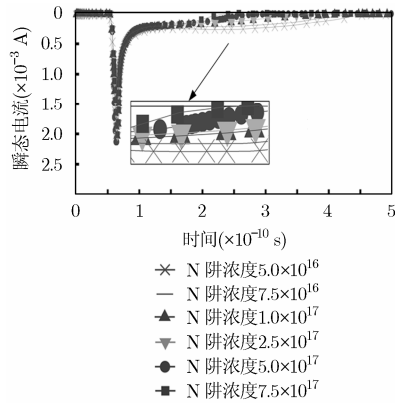


图 13 主 PMOS ( $P_0$ ) 漏端电流

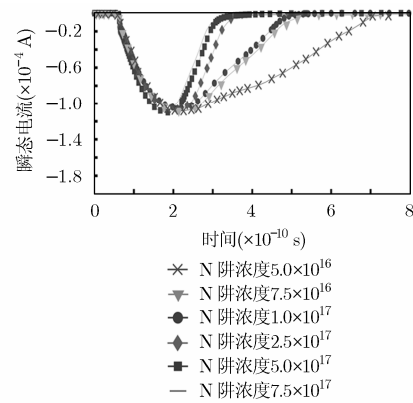


图 14 从 PMOS ( $P_1$ ) 漏端电流

电流成分由漂移、扩散和双极放大 3 个方面引起，而从 PMOS 漏端电流成分几乎都是由双极放大效应引起的。由图 13、图 14 可以看出，随着 N 阱浓度增加，从 PMOS 管漏端电流的变化比主 PMOS 管漏端电流变化更明显，可见 N 阱浓度变化对从 PMOS 双极放大效应影响更大。

从翻转恢复 LET 阈值分析，对于 SRAM 单元，翻转恢复 LET 阈值与形成的翻转恢复效应分别是由  $P_0$  管和  $P_1$  管漏端电荷收集量决定。同 3.1 节，随着 N 阱浓度的增加，翻转恢复 LET 阈值增加缓慢，几乎保持一致，使得  $P_0$  管漏端抗辐照的能力下降，但下降不明显。从翻转恢复时间分析，主 PMOS 管电荷收集量决定了翻转时间，从 PMOS 管电荷收集量决定了恢复时间。由图 13 可知：随着 N 阱浓度的增加，主 PMOS 的电荷收集量变少，但减小程度不明显。因此对于 SRAM 存储单元电路而言， $P_0$  漏端发生 SEU 后存储的逻辑信息从低电平翻转为高电平的时间非常接近。从 PMOS 管电荷收集量决定了恢复时间。由图 14 可知：随着 N 阱掺杂浓度的增加，从 PMOS 管电荷收集量变化比主 PMOS 管电荷收集量变化大，从 PMOS 管漏电流脉冲宽度明

显减少。对于 SRAM 存储单元而言，随着 N 阱浓度的增加，从 PMOS 管电荷收集量减小，进而缩短了存储节点  $Q$  的逻辑信息由高电平恢复到初始低电平的时间，使得存储节点发生翻转恢复效应所需的时间减小。

### 3.3 调阈掺杂浓度的影响

为了研究调阈掺杂浓度(阈值电压的掺杂浓度)对 6 管 SRAM 单元翻转恢复效应的影响，设置调阈掺杂浓度分别为  $5.0 \times 10^{16} \text{ cm}^{-3}$ ， $7.5 \times 10^{16} \text{ cm}^{-3}$ ， $1.0 \times 10^{17} \text{ cm}^{-3}$ ， $2.5 \times 10^{17} \text{ cm}^{-3}$ ， $5.0 \times 10^{17} \text{ cm}^{-3}$  和  $7.5 \times 10^{17} \text{ cm}^{-3}$ ，单粒子入射线性能量传输值为  $25 \text{ MeV} \cdot \text{cm}^2 / \text{mg}$ ，该入射线性能量传输值大于翻转恢复的 LET 阈值，仿真结果如图 15 和图 16 所示。从图 15 可以看出，随着调阈掺杂浓度增加，翻转恢复效应的脉冲宽度变化较小。

从图 16 可以看出，调阈掺杂浓度也会对 SRAM 单元翻转恢复的  $\text{LET}_{\text{rev}}$  产生影响，随着调阈掺杂浓度增加，翻转恢复的 LET 阈值出现下降升高现象，且保持在  $15 \text{ MeV} \cdot \text{cm}^2 / \text{mg}$  左右。

调阈掺杂决定了 MOS 管的阈值电压，随着调阈掺杂增加，翻转恢复的 LET 阈值也增加，增加的

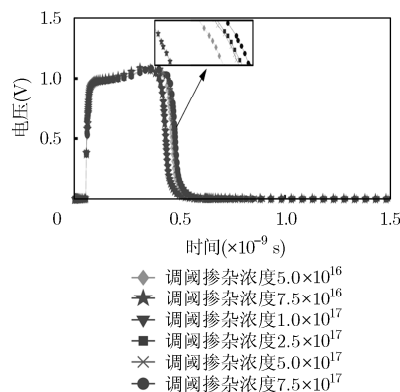


图 15 入射粒子线性能量传输值为  $25 \text{ MeV} \cdot \text{cm}^2 / \text{mg}$ ，不同阈值掺杂下的  $Q$  点的电压波形的比较

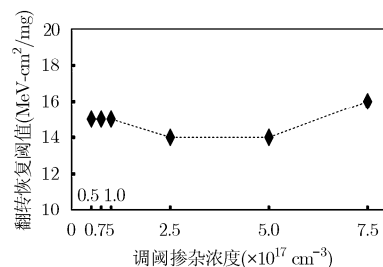


图 16 调阈掺杂浓度的改变对翻转恢复 LET 阈值的变化

幅度不大,对主从 PMOS 管漏端的电荷收集量几乎没有影响。上文已分析,粒子入射存储单元,主从 PMOS 管均收集电荷,存储单元发生 SEU( $Q$  点存储的信息由  $0 \rightarrow 1$ ,  $QB$  点存储的信息由  $1 \rightarrow 0$ )是由主 PMOS 管的漏端收集电荷量决定,恢复( $Q$  点存储的信息由  $1 \rightarrow 0$ ,  $QB$  点存储的信息由  $0 \rightarrow 1$ )则是从 PMOS 管收集量起主导作用。当高能粒子轰击  $Q$  节点时,  $P_0$  管迅速收集电荷,  $Q$  节点存储的逻辑信息变为 1,由于 6 管单元反相器交叉耦合的作用,导致  $QB$  节点存储的逻辑信息变为 0。之后  $P_1$  管漏端开始收集电荷,  $QB$  节点电压慢慢升高,当达到一定值时,  $N_0$  管导通,在正反馈的作用下,  $Q$  节点电压  $V_g$  (栅压)由高电平开始下降。当  $V_g$  满足  $V_{dd} - V_g > |V_{th}|$  条件时,  $P_1$  管导通,  $QB$  节点电压逐渐升高到高电平,发生翻转恢复效应;当  $V_g$  不满足  $V_{dd} - V_g > |V_{th}|$  条件时,  $P_1$  管仍处于截止状态,状态稳定之后  $Q$  节点存储的逻辑信息仍为 1,  $QB$  节点存储的逻辑信息仍为 0,不会形成翻转恢复效应。

#### 4 结束语

本文研究在 65 nm 体硅 CMOS 三阱工艺下  $P^+$  深阱、衬底和调阈的掺杂浓度的变化对 6 管 SRAM 存储单元翻转恢复效应的影响。通过 3D TCAD 软件进行模拟仿真,发现减小  $P^+$  深阱和 N 阱的掺杂浓度将会使器件  $P_1$  漏端的电荷收集量增加,从而减小了翻转恢复效应的 LET 阈值。此时相较于 N 阱掺杂浓度减少,  $P^+$  深阱掺杂浓度减少对应的发生翻转恢复效应 LET 阈值减小幅度更快;当  $P^+$  深阱和 N 阱掺杂浓度下降时, PMOS 管电荷收集量将会受到影响,导致电流脉冲的时间宽度和翻转恢复所需的时间变长,在相同掺杂浓度下 N 阱掺杂浓度下降所需的翻转恢复时间值都低于  $P^+$  深阱掺杂浓度下降所需的翻转恢复时间值;调阈掺杂浓度的下降,相较于  $P^+$  和 N 阱,对于翻转恢复效应的 LET 阈值和翻转恢复时间的影响较小。综上所述,虽然翻转恢复效应的 LET 阈值和翻转恢复时间两者不能兼得,但是适当调节工艺掺杂浓度,翻转恢复效应的 LET 阈值和翻转恢复所需的时间将会得到很大改善,从而进一步降低 SEU 效应对 SRAM 单元电路的影响。

#### 参考文献

- [1] DODD P E and MASSENGILL L W. Basic mechanisms and modeling of single-event upset in digital microelectronics[J]. *IEEE Transactions on Nuclear Science*, 2003, 50(3): 583-602. doi: 10.1109/TNS.2003.813129.
- [2] KANG M, KIM J, and CHANG I J. Studying the variation effects of radiation hardened Quatro SRAM bit-cell[J]. *IEEE Transactions on Nuclear Science*, 2016, 63(4): 2399-2401. doi: 10.1109/TNS.2016.2590426.
- [3] KERNS S E, SHAFER B D, ROCKETT L R, et al. The design of radiation-hardened ICs for space: A compendium of approaches[J]. *Proceedings of the IEEE*, 1988, 76(11): 1470-1509. doi: 10.1109/5.90115.
- [4] LIU M S, LIU H Y, BREWSTER N, et al. Limiting upset cross sections of SEU hardened SOI SRAMs[J]. *IEEE Transactions on Nuclear Science*, 2006, 53(6): 3487-3493. doi: 10.1109/TNS.2006.886216.
- [5] CALIN T, NICOLAIDIS M, and VELAZCO R. Upset hardened memory design for submicron CMOS technology[J]. *IEEE Transactions on Nuclear Science*, 1996, 43(6): 2874-2878. doi: 10.1109/23.556880.
- [6] WANG H B, LI Y Q, CHEN L, et al. An SEU-tolerant DICE latch design with feedback transistors[J]. *IEEE Transactions on Nuclear Science*, 2015, 62(2): 548-554. doi: 10.1109/TNS.2015.2399019.
- [7] 刘凡宇, 刘衡竹, 刘必慰, 等. 90 nm CMOS 工艺下  $p^+$  深阱掺杂浓度对电荷共享的影响[J]. *物理学报*, 2011, 60(4): 461-468. LIU Fanyu, LIU Hengzhu, LIU Biwei, et al. Effect of doping concentration in  $p^+$  deep well on charge sharing in 90 nm CMOS technology[J]. *Acta Physica Sinica*, 2011, 60(4): 461-468.
- [8] SAXENA P K and BHAT N. Process technique for SEU reliability improvement of deep sub-micron SRAM cell[J]. *Solid-State Electronics*, 2003, 47(4): 661-664. doi: 10.1016/S0038-1101(02)00329-5.
- [9] DASGUPTA S, WITULSKI A F, BHUVA B L, et al. Effect of well and substrate potential modulation on single event pulse shape in deep submicron CMOS[J]. *IEEE Transactions on Nuclear Science*, 2007, 54(6): 2407-2412. doi: 10.1109/TNS.2007.910863.
- [10] LI Peng, ZHANG Minxuan, ZHAO Zhenyu, et al. A novel single event upset reversal in 40-nm bulk CMOS 6 T SRAM cells[J]. *Nuclear Science and Techniques*, 2015, 26(5): 76-82. doi: 10.13538/j.1001-8042/nst.26.050405.
- [11] MASSENGILL L W, AMUSAN O A, DASGUPTA S, et al. Soft-error charge-sharing mechanisms at sub-100 nm technology nodes[C]. *IEEE International Conference on Integrated Circuit Design and Technology*, Austin, TX, USA, 2007: 1-4. doi: 10.1109/ICICDT.2007.4299576.
- [12] HE Yibai and CHEN Shuming. Simulation study of the selectively implanted deep-N-well for PMOS SET mitigation [J]. *IEEE Transactions on Device & Materials Reliability*, 2014, 14(1): 99-103. doi: 10.1109/TDMR.2013.2290032.
- [13] BLACK J D, BALL II D R, ROBINSON W H, et al. Characterizing SRAM single event upset in terms of single

- and multiple node charge collection[J]. *IEEE Transactions on Nuclear Science*, 2008, 55(6): 2943–2947. doi: 10.1109/TNS.2008.2007231.
- [14] AMUSAN O A, MASSENGILL L W, BHUVA B L, *et al.* Design techniques to reduce SET pulse widths in deep-submicron combinational logic[J]. *IEEE Transactions on Nuclear Science*, 2007, 54(6): 2060–2064. doi: 10.1109/TNS.2007.907754.
- [15] HSIEH C M, MURLEY P C, and O'BRIEN R R. A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices[J]. *IEEE Electron Device Letters*, 1981, 2(4): 103–105. doi: 10.1109/EDL.1981.25357.
- [16] AMUSAN O A, WITULSKI A F, MASSENGILL L W, *et al.* Charge collection and charge sharing in a 130 nm CMOS technology[J]. *IEEE Transactions on Nuclear Science*, 2006, 53(6): 3253–3258. doi: 10.1109/TNS.2006.884788.
- [17] CHEN Meng, LEI Jiefeng, HUANG Shengxiang, *et al.* Poly-Si TFTs integrated gate driver circuit with charge-sharing structure[J]. *Journal of Semiconductors*, 2017, 38(5): 92–97. doi: 10.1088/1674-4926/38/5/055001.
- [18] HE Liang, CHEN Hua, SUN Peng, *et al.* Single event upset rate modeling for ultra-deep submicron complementary metal-oxide-semiconductor devices[J]. *Science China Information Sciences*, 2016, 59(4): 1–11. doi: 10.1007/s11432-015-5362-2.
- [19] CHUMAKOV A I. Modified charge collection model by point node for SEE sensitivity estimation[C]. 2015 IEEE 15th European Conference on Radiation and Its Effects on Components and Systems (RADECS), Moscow, Russia, 2015: 1–5. doi: 10.1109/RADECS.2015.7365635.
- [20] YAN S, ZHANG W, LI G, *et al.* 3-D simulation of charge collection in double-gate MOSFET under low-energy proton irradiation[C]. IEEE International Nanoelectronics Conference (INEC), Chengdu, China, 2016: 1–2. doi: 10.1109/INEC.2016.7589258.
- [21] FURUTA J, YAMAMOTO R, KOBAYASHI K, *et al.* Evaluation of parasitic bipolar effects on neutron-induced SET rates for logic gates[C]. IEEE International Reliability Physics Symposium (IRPS), Anaheim, CA, USA, 2012: SE.5.1–SE.5.5. doi: 10.1109/IRPS.2012.6241930.
- [22] DING Yi, HU Jianguo, QIN Junrui, *et al.* Effect of body biasing on single-event induced charge collection in deep N-well technology[J]. *Chinese Physics B*, 2015, 24(7): 079401. doi: 10.1088/1674-1056/24/7/079401.
- 张景波: 男, 1976 年生, 博士后, 研究方向为抗辐照集成电路设计、嵌入式 SRAM 设计.
- 杨志平: 男, 1992 年生, 硕士生, 研究方向为抗辐照集成电路设计.
- 彭春雨: 男, 1987 年生, 博士生, 讲师, 研究方向为抗辐照集成电路设计、嵌入式 SRAM 设计.
- 丁朋辉: 男, 1989 年生, 硕士, 研究方向为抗辐照集成电路设计.
- 吴秀龙: 男, 1979 年生, 教授, 博士生导师, 研究方向为抗辐照集成电路设计、嵌入式 SRAM 设计.